

~~Rec'd PCT/PTO~~

18 JAN 2005

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-148746
 (43)Date of publication of application : 06.06.1997

(51)Int.CI. H05K 3/46
 H01L 23/08
 H01L 23/15

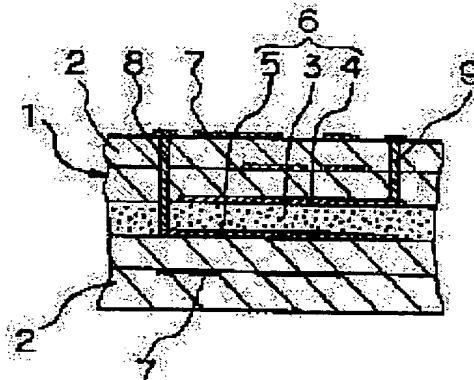
(21)Application number : 07-301429 (71)Applicant : KYOCERA CORP
 (22)Date of filing : 20.11.1995 (72)Inventor : YOMO KUNIHIDE

(54) MULTILAYER WIRING BOARD AND PACKAGE FOR HOUSING SEMICONDUCTOR CHIP

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly reliable wiring board having a built-in capacitor part with a high dielectric layer having a specific dielectric constant of 20 or more and a stable electric characteristic together with excellent hermeticity and being hard to develop separation of a capacitor part and a crack of a board.

SOLUTION: In this board 1, the capacitor part 6 wherein a high dielectric layer 3 of a ZrO₂-W, Mo-Al₂O₃ group and having a specific dielectric constant of 20 or more is sandwiched by a pair electrode layers 4, 5 between the insulating layers 2 mainly composed of Al₂O₃ having a specific dielectric constant not exceeding 14 and/or in the inside or on the surface of an insulating board on whose surface a metallized wiring layer 7 are arranged, are laminated. Here, a difference in a thermal coefficient between a room temperature and 400° C of the high dielectric layer 3 and the insulating layer 2 is controlled not to exceed 1.5 × 10⁻⁶.



LEGAL STATUS

[Date of request for examination] 24.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3340003

[Date of registration] 16.08.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-148746

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl.⁶

H 05 K 3/46

識別記号

庁内整理番号

F I

技術表示箇所

H 05 K 3/46

Q

H 01 L 23/08

23/15

H 01 L 23/08

N

23/14

T

C

C

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21)出願番号

特願平7-301429

(71)出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地
の22

(72)発明者 四方 邦英

鹿児島県国分市山下町1番1号 京セラ株
式会社鹿児島国分工場内

(22)出願日

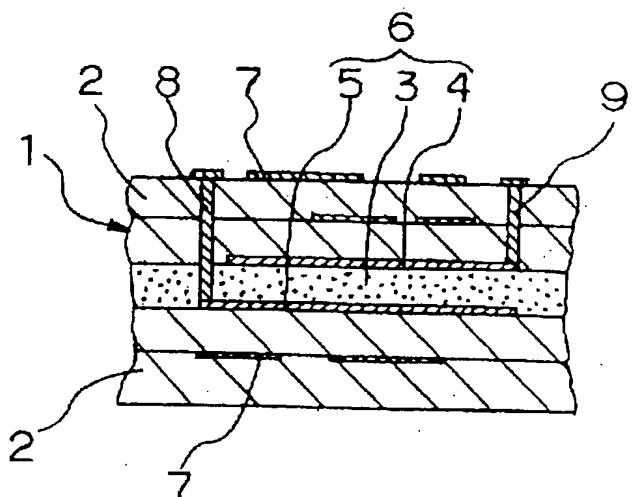
平成7年(1995)11月20日

(54)【発明の名称】 多層配線基板及び半導体素子収納用パッケージ

(57)【要約】

【課題】内蔵されるコンデンサ部の高誘電率化に対し
て、コンデンサ部の剥がれや基板の割れが発生しやす
く、また耐電圧が低く、信頼性が不十分であった。

【解決手段】比誘電率が1.4以下のAl₂O₃を主成分
とする絶縁層2間および/または表面にメタライズ配線
層7が配設された絶縁基板の内部または表面に、ZrO₂-W, Mo-Al₂O₃系の比誘電率が2.0以上の高
誘電体層3を一対の電極層4、5により挟持してなるコン
デンサ部6を積層したものであって、且つ高誘電体層3と
絶縁層2間の室温から400°Cにおける熱膨張係数
の差を1.5×10⁻⁶/°C以下に制御する。



【特許請求の範囲】

【請求項1】比誘電率が1.4以下の絶縁層と、メタライズ配線層とからなる絶縁基板の内部または表面に、比誘電率が2.0以上の高誘電体層と、一対の電極層とからなるコンデンサ部を積層してなり、且つ前記高誘電体層と前記絶縁層との室温から400°Cにおける熱膨張係数の差が $1.5 \times 10^{-6} / ^\circ\text{C}$ 以下であることを特徴とする多層配線基板。

【請求項2】前記高誘電体層の耐電圧が0.3kV/m以上である請求項1記載の多層配線基板。

【請求項3】前記絶縁層の室温から400°Cにおける熱膨張係数が $6.7 \sim 7.5 \times 10^{-6} / ^\circ\text{C}$ であり、前記高誘電体層の室温から400°Cにおける熱膨張係数が $7.5 \sim 8.5 \times 10^{-6} / ^\circ\text{C}$ 以下である請求項1記載の多層配線基板。

【請求項4】前記高誘電体層が、A1を酸化物換算で10~47重量%と、Mo、Wのうちの少なくとも1種を10~35重量%、Zrを酸化物換算で39~70重量%の割合で含む請求項1記載の多層配線基板。

【請求項5】Al₂O₃を主体とするセラミックスからなる絶縁層と、メタライズ配線層とからなる絶縁基板の内部または表面に、少なくともZrO₂とAl₂O₃とを含有し、前記絶縁層よりも高い誘電率を有する高誘電体層と、一対の電極層とからなるコンデンサ部を積層してなり、且つ前記高誘電体層と前記絶縁層との室温から400°Cにおける熱膨張係数の差が $1.5 \times 10^{-6} / ^\circ\text{C}$ 以下であることを特徴とする多層配線基板。

【請求項6】前記高誘電体層の耐電圧が0.3kV以上である請求項5記載の多層配線基板。

【請求項7】前記絶縁層の室温から400°Cにおける熱膨張係数が $6.7 \sim 7.5 \times 10^{-6} / ^\circ\text{C}$ であり、前記高誘電体層の室温から400°Cにおける熱膨張係数が $7.5 \sim 8.5 \times 10^{-6} / ^\circ\text{C}$ 以下である請求項5記載の多層配線基板。

【請求項8】比誘電率が1.4以下の絶縁層と、メタライズ配線層と、半導体素子を収納するための収納部を具備する絶縁基板と、蓋体とからなる半導体素子収納用パッケージにおいて、前記絶縁基板の内部または表面に、比誘電率が2.0以上の高誘電体層と、一対の電極層とからなるコンデンサ部を積層してなり、且つ前記高誘電体層と前記絶縁層との室温から400°Cにおける熱膨張係数の差が $1.5 \times 10^{-6} / ^\circ\text{C}$ 以下であることを特徴とする半導体素子収納用パッケージ。

【請求項9】前記高誘電体層の耐電圧が0.3kV以上である請求項8記載の半導体素子収納用パッケージ。

【請求項10】前記絶縁層の室温から400°Cにおける熱膨張係数が $6.7 \sim 7.5 \times 10^{-6} / ^\circ\text{C}$ であり、前記高誘電体層の室温から400°Cにおける熱膨張係数が $7.5 \sim 8.5 \times 10^{-6} / ^\circ\text{C}$ 以下である請求項8記載の半導体素子収納用パッケージ。

【請求項11】前記高誘電体層が、Zrを酸化物換算で39~70重量%、A1を酸化物換算で10~47重量%、Mo、Wのうちの少なくとも1種を10~35重量%の割合で含む請求項8記載の多層配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高誘電体層と一対の電極からなるコンデンサ部を具備する多層配線基板および半導体素子収納用パッケージに関するもので、より詳細には安定した電気的特性と、コンデンサ部と絶縁層との剥がれや基板の割れのない優れた密封性能と耐電圧特性を有する多層配線基板およびパッケージに関する。

【0002】

【従来技術】半導体素子収納用パッケージでは、半導体素子（集積回路）は外来ノイズや不要輻射により誤動作を生じ易いために、従来より10~数百nF程度の静電容量を持ったコンデンサを電源側と接地側との間に介在することにより、ノイズを吸収し誤動作を防止していた。このコンデンサは一般にはセラミック誘電体と、その上下面に形成された一対の電極からなり、従来はこのコンデンサの接続をパッケージとは別の外付けにより行なっていたため、実装密度の向上を図ることができなかった。

【0003】このような欠点を解決するための方法として、アルミナを主成分とする絶縁層の間に、アルミナ等の誘電体層と、WあるいはMoからなる一対の電極層とからなるコンデンサ部を介装した半導体素子収納用パッケージが知られている（特開昭62-169461号公報参照）。

【0004】また、アルミナ中にWまたはMoからなる高誘電率付与剤を含有する高誘電体層の上下面にWまたはMo等の高融点金属を主成分とするペーストを塗布または印刷してなる一対の電極層が形成されたコンデンサ部をアルミナを主成分とする絶縁層間に介装した多層アルミナ質配線基板が特開平3-87091号公報にて提案されている。

【0005】さらには、ZrO₂-Al₂O₃系材料によって高誘電率化を図り、この材料を高誘電体層とするコンデンサ部をアルミナ絶縁層間に介装した多層配線基板が、特開平7-29764号にて提案されている。

【0006】

【発明が解決しようとする課題】特開昭62-169461号公報にて提案されるような、アルミナ等の誘電体層とWあるいはMoからなる一対の電極層とからなるコンデンサ部を具備したものでは、誘電体層の比誘電率がせいぜい10程度であるため、高い静電容量を得るために誘電体層を数多く積層する必要があり、誘電体層を数多く積層すればパッケージが大型化してしまうという問題があった。

【0007】また、特開平3-87091号に提案され

るよう、アルミナなどの絶縁性セラミックス中にW、Moなどの金属成分を分散させると、その金属量が増加するに従い徐々に比誘電率を高めることができるが、これらの金属成分の量が増えすぎると絶縁層を形成する、例えばアルミナセラミックスとの熱膨張係数差が大きくなり、コンデンサ部を積層した基板において、積層箇所が剥がれたり、割れ等が生じたり、また、半導体素子収納用パッケージにおいては、その密封性能が低下するという問題が生じる。また、金属成分の分散金属同士が接触してコンデンサ部の電極間にリークを生じたり、分散金属同士が接触しない状態においても、コンデンサ部の電極間に高電圧が印加された時にリークしてしまう等の問題があった。

【0008】さらに、特開平7-29764号に提案されるように、ZrO₂-Al₂O₃系の高誘電体層では、ZrO₂自体の比誘電率が30と高いために、ZrO₂の添加量を増加することにより、比誘電率を大幅に向けることができる。また、ZrO₂-Al₂O₃系は、すべてセラミックスするために特開平3-87091号のような金属成分によるリーク等の問題は生じにくい。

【0009】ところが、比誘電率が20以上のZrO₂-Al₂O₃の誘電体層をAl₂O₃を主体とする絶縁層間に電極とともに積層した場合、ZrO₂自体の熱膨張係数が10.5×10⁻⁶/℃(室温～400℃)と高いために、誘電体層と絶縁層との熱膨張係数の差が大きくその差がおよそ1.7×10⁻⁶/℃以上となり、コンデンサ部の剥がれや基板に割れ等が生じたり、パッケージにおいては密封性能が低下するといった問題があつた。

【0010】その他、比誘電率が20以上の高誘電率材料としては、BaOやTiO₂、PbOを含む誘電体材料が古くから知られているが、これらの材料では、配線基板として絶縁性能に優れたアルミナなどの絶縁材料との熱膨張の整合が難しく、しかも絶縁層やW、Moなどの配線層との同時焼成が難しいために、基板の多層配線化そのものが困難であった。

【0011】従って、本発明の目的は、比誘電率が20以上の高誘電体層を有するコンデンサ部を内蔵しつつ、安定した電気的特性と優れた気密性を有し、コンデンサ部の剥がれや基板の割れ等の生じにくい信頼性の高い配線基板および半導体素子収納用パッケージを提供することにある。

【0012】

【課題を解決するための手段】本発明の多層配線基板は、比誘電率が14以下の絶縁層と、メタライズ配線層とからなる絶縁基板の内部または表面に、比誘電率が20以上の高誘電体層と、一対の電極層とからなるコンデンサ部を積層したものであつて、且つ前記高誘電体層と前記絶縁層との室温から400℃における熱膨張係数の差が1.5×10⁻⁶/℃以下であることを特徴とするも

のである。

【0013】また、本発明の多層配線基板は、Al₂O₃を主体とするセラミックスからなる絶縁層と、メタライズ配線層とからなる絶縁基板の内部または表面に、少なくともZrO₂とAl₂O₃とを含有し、前記絶縁層よりも高誘電率を有する高誘電体層と、一対の電極層とからなるコンデンサ部を積層してなり、且つ前記高誘電体層と前記絶縁層との室温から400℃における熱膨張係数の差が1.5×10⁻⁶/℃以下であることを特徴とする。

【0014】さらに、本発明の半導体素子収納用パッケージは、比誘電率が14以下の絶縁層と、メタライズ配線層と、半導体素子を収納するための収納部とを具備する絶縁基板と、蓋体とからなる半導体素子収納用パッケージにおいて、前記絶縁基板の内部または表面に、比誘電率が20以上の高誘電体層と、一対の電極層とからなるコンデンサ部を積層してなり、且つ前記高誘電体層と前記絶縁層との室温から400℃における熱膨張係数の差が1.5×10⁻⁶/℃以下であることを特徴とするものである。

【0015】また、本発明によれば、上記の多層配線基板および半導体素子収納用パッケージにおいて、望ましくは、前記高誘電体層の耐電圧が0.3kV/mm以上であり、前記絶縁層の室温から400℃における熱膨張係数が6.7～7.5×10⁻⁶/℃であり、前記高誘電体層の室温から400℃における熱膨張係数が7.5～8.5×10⁻⁶/℃以下である。また、前記高誘電体層は、Zrを酸化物換算で39～70重量%、Alを酸化物換算で10～47重量%、Mo、Wのうちの少なくとも1種を10～35重量%の割合で含むことが望ましい。

【0016】

【作用】本発明によれば、多層配線基板において、比誘電率が14以下の絶縁層あるいはその表面に、比誘電率が20以上の高誘電体層と一対の電極層とからなるコンデンサ部を積層したために、高誘電体層が一層であつても、10nF以上(電極50mm×50mm、高誘電体層の厚み40μm)が達成され、外来ノイズや不要輻射による半導体素子(集積回路)の誤動作を防止し、信頼性の高い多層配線基板あるいは半導体素子収納用パッケージを提供できる。また、コンデンサの電極パターンの設計が容易になり、且つ配線基板自体の小型化を達成することができる。しかも、コンデンサ部の高誘電体層と絶縁層との熱膨張係数差が1.5×10⁻⁶/℃以下であるために、高誘電体層と絶縁層との熱膨張差に起因するコンデンサ部の剥がれや基板の割れの発生を防止できる。

【0017】また、従来、高誘電体層をZrO₂-Al₂O₃系材料により、絶縁層をAl₂O₃を主成分とするセラミックスにより構成した場合、熱膨張係数の差が

大きくなりコンデンサ部の剥がれや基板の割れが発生するのを、本発明により高誘電体層を $ZrO_2 - Al_2O_3 - W$, Mo系材料により構成すると、熱膨張係数を Al_2O_3 系絶縁層の熱膨張係数に近似させ、その差を容易に $1.5 \times 10^{-6} / ^\circ C$ 以下に制御するために、熱膨張差に起因する剥がれや割れを未然に防止することができる。

【0018】さらに、誘電体材料として $ZrO_2 - Al_2O_3 - W$, Mo系誘電体材料を用いることにより、配線基板の絶縁層として最も高信頼性を有する Al_2O_3 を主成分とするセラミックスや、W、Mo等からなる配線層と同時に焼成を行うことができる。しかも、高誘電体層と絶縁層との熱膨張差が $1.5 \times 10^{-6} / ^\circ C$ 以下であるため、同時焼成時においてもコンデンサ部の剥がれや基板割れを生じることなく、高い歩留りで製造できるため、高品質で安価な配線基板を提供できる。また、半導体素子収納用パッケージにおいても同様な理由により気密性に優れた高信頼性のパッケージを提供できる。

【0019】またさらに、従来の $Al_2O_3 - W$, Mo系高誘電体材料では、高誘電率化するためには、W、Mo等の金属成分を多量に含有しなければならず、そのために高誘電体層の耐電圧が大きく低下してしまうが、本発明における $ZrO_2 - Al_2O_3 - W$, Mo系高誘電体材料は、高い比誘電率を有しながらも、金属成分の絶対量が少なくするために、高誘電体層の耐電圧を向上することができる。その結果、配線基板や半導体素子収納用パッケージの信頼性をさらに高めることが可能となる。

【0020】

【発明の実施の形態】以下、本発明を図面を参照しながら具体的に説明する。

(多層配線基板の構造) 図1は、本発明における多層配線基板の一例を示す図である。図1によれば、絶縁基板1中の絶縁層2中には、高誘電体層3と一対の電極層4、5とから構成されるコンデンサ部6が積層内在されている。また、絶縁層2の表面あるいは内部にはメタライズ配線層7が配設されている。また、図1の構成では、電極層4および5は、スルーホール8、9を通じて基板表面に導出されている。

【0021】さらに、本発明の多層配線基板は、図1の態様のようにコンデンサ部6を絶縁層2間に介装する他に、例えば、図3に示すように、絶縁基板1の最表面に電極層5、高誘電体層3および電極層4を積層形成することもできる。この場合、コンデンサ部6は、外気と触れないようその表面に樹脂などにより保護膜を形成してもよい。

【0022】(半導体素子収納用パッケージの構造) また、図2は、本発明における半導体素子収納用パッケージの一例を示す図である。図2によれば、半導体素子収納用パッケージの絶縁基板10は、複数の絶縁層11が

積層され、絶縁層11の内部あるいは表面にはメタライズ配線層12が配設されている。また、絶縁基板10の内部には、高誘電体層13と、一対の電極層14、15とからなるコンデンサ部16が形成されている。また、絶縁基板10の上面には半導体素子17を収納するための凹部(収納部)18が形成され、凹部18は蓋体19により密閉されている。また、コンデンサ部16の電極層15は、スルーホール20を通じて、配線層12に接続されている。さらに、図2の構成では、コンデンサ部16の電極層14は、凹部18に露出して凹部の底面を形成し、その底面に半導体素子17が搭載されている。なお、配線層12は、スルーホール等を通じて外部端子21に電気的に接続されている。

【0023】また、半導体素子収納用パッケージとしては、図4乃至図8のように種々の態様が存在する。図4のパッケージは、半導体素子17の下方には、高誘電体層13と電極層14、15が交互に多層積層されており、これらの電極層14、15はスルーホール20により半導体素子17と接続されたものである。

【0024】図5のパッケージは、高誘電体層13の上下面に電極層14、15が形成されたコンデンサ部16が絶縁層11間に積層された構造からなり、電極層14、15はスルーホール20により半導体素子17と接続されている。

【0025】図6のパッケージは、半導体素子17の下方には、高誘電体層13の上下面に電極層14、15が形成されており、これらの電極層14、15はスルーホール20により半導体素子17と接続され、さらに、ピン21が下面に固定され、これらのピン21は、電極層14、15および高誘電体層13を通してスルーホール22を介して半導体素子17と接続されている。

【0026】図7のパッケージは、高誘電体層13と電極層14、15が交互に積層されてコンデンサ部16が形成され、電極層14、15はスルーホール20により半導体素子17と接続され、さらに、半導体素子17はヒートシンク23に固定されている。

【0027】図8のパッケージは、フラットパッケージであり、高誘電体層13と電極層14、15が交互に多層積層されており、これらの電極層13、14はスルーホール20により半導体素子17と接続されている。

【0028】(高誘電体層) 本発明における上記配線基板および半導体素子収納用パッケージにおいて、コンデンサ部を形成する高誘電体層(図1の番号3、図2の番号13)は、それ自体の比誘電率が20以上のものである。比誘電率が20以上の材料としては、例えば、特開平7-29764号に記載されるような $ZrO_2 - Al_2O_3$ 系材料、特願平7-105315号や特願平7-103703号に記載されるような硼珪酸ガラスに高誘電率付与材として TiO_2 や ZrO_2 を添加し焼成した

材料、特願平7-102702号に記載されるようなムライトにW、M_o、ZrO₂等を添加した材料、特願平7-39792号に記載されるように、Al₂O₃に対して高誘電率付与材としてTiO₂、Nb₂O₅、Ta₂O₅から選ばれる少なくとも1種の成分2重量%以下と、M_o、WおよびReから選ばれる少なくとも1種の金属とかなる材料などが挙げられる。

【0029】(絶縁層) 本発明における配線基板あるいは半導体素子収納用パッケージの絶縁基板における絶縁層は、それ自体の比誘電率が14以下、特に10以下の絶縁材料により構成されるものであり、例えば、アルミナ、ムライト、窒化アルミニウムのうちの少なくとも1種を主体とする、言い換えれば50重量%以上含有するセラミックスや、ガラスにフィラー成分として、アルミナ、ムライト、シリカ、クリストバライト、フォルステライト、コーチェライト、スピネル、アノーサイト、YAG、YAM、ジルコニア、ジルコンなどを添加した、いわゆるガラスーセラミックスなどが挙げられる。

【0030】(絶縁層と高誘電体層との熱膨張差) 本発明によれば、絶縁層と高誘電体層とは、室温から400°Cにおける熱膨張係数の差が $1.5 \times 10^{-6} / ^\circ\text{C}$ 以下、特に $1.0 \times 10^{-6} / ^\circ\text{C}$ 以下であることが重要である。この熱膨張差が $1.5 \times 10^{-6} / ^\circ\text{C}$ よりも大きくなると、絶縁層の内部あるいはその表面に形成されたコンデンサ部が同時焼成時、または冷却過程や温度サイクルが加わった時に熱膨張差に起因して、絶縁層とコンデンサ部とが剥がれたり、基板に割れを生じるなどの問題が発生するためである。

【0031】前述した絶縁層形成材料および高誘電体層形成材料を熱膨張係数が上記の範囲を満足するように適宜選択することが必要となる。それと同時に、絶縁層と高誘電体層とは、電極層および配線層を含め、同一条件で焼成が可能であることが多層化するためには必要である。そのためには、少なくとも高誘電体層中に、絶縁層を構成するセラミックスの主たる構成成分を10重量%以上、特に30重量%以上含有することが望ましい。

【0032】なお、本発明においては、前述したように、熱膨張特性が異なる高誘電体層と絶縁層が直接、あるいは電極層を介して接する構造においては、熱膨張係数差を $1.5 \times 10^{-6} / ^\circ\text{C}$ 以下に制御することが必要であるが、絶縁層と高誘電体層との熱膨張係数の差が $1.5 \times 10^{-6} / ^\circ\text{C}$ を越える場合には、高誘電体層と絶縁層との間に、高誘電体層と絶縁層との中間的熱膨張特性を有する比誘電率が14以下の中間層を形成し、絶縁層、中間層、高誘電体層の各層間の熱膨張係数差を $1.5 \times 10^{-6} / ^\circ\text{C}$ 以下に制御することも可能である。

【0033】(絶縁層と高誘電体層との好適組み合わせ) 多層基板や半導体素子収納用パッケージに使用される絶縁層には、最も信頼性および量産性に優れた材料としてアルミナを主成分とするアルミナ質セラミックスが

最も望ましい。このアルミナ質セラミックスは、Al₂O₃を主体とする、言い換えれば50重量%以上含有するもので、具体的には、主にAl₂O₃粒子と、その粒界に存在するガラス相とから成り、そのガラス相は、Ca、Mgなどのアルカリ土類金属、Yなどの希土類元素、AlおよびSiの群から選ばれる少なくとも1種の元素の酸化物を含むものである。これらのガラス相形成成分は、酸化物に換算して1~20重量%、特に4~7、5重量%の割合で含有されることが望ましい。

【0034】このアルミナ質セラミックスからなる絶縁層に対する好適な高誘電体層としては、ZrO₂と、Al₂O₃と、W、M_oの少なくとも1種からなるもので、Zrを酸化物換算で39~70重量%、Alを酸化物換算で10~47重量%、W、M_oのうちの少なくとも1種を10~35重量%の割合で含有するZrO₂-Al₂O₃-W、M_o系セラミック材料が望ましい。なお、高誘電体層の比誘電率は、25以上であることが望ましいが、その場合には、Zrを酸化物換算で39~70重量%、Alを酸化物換算で10~42重量%、W、M_oのうちの少なくとも1種を13~35重量%の割合で含有するセラミック材料が望ましい。

【0035】かかる組み合わせにおいては、室温から400°Cにおける熱膨張係数は、絶縁層が $6.7 \sim 7.5 \times 10^{-6} / ^\circ\text{C}$ であり、高誘電体層が $7.5 \sim 8.5 \times 10^{-6} / ^\circ\text{C}$ 以下であることが望ましい。

【0036】前述のZrO₂-Al₂O₃-W、M_o系の高誘電体層において、この高誘電体層の組成を上記の範囲に限定したのは、Zr量が上記の範囲よりも少ないと比誘電率が低くなるために比誘電率20以上を達成するにはW、M_oなどの金属成分の添加量を増加させる必要があるが、その場合、高誘電体層の耐電圧が低下するという問題が発生する。逆に、Zr量が上記の範囲よりも多いと、アルミナ質セラミックスからなる絶縁層との熱膨張差が大きくなり、コンデンサ部の剥がれや基板の割れを生じやすくなる。WおよびM_o量が上記の範囲より多いと、誘電体層の耐電圧が低下し、また上記の範囲より少ないと絶縁層との熱膨張係数を近似させることが困難となる。

【0037】この場合、高誘電体層中のM_o、W量に関連して、この高誘電率層の耐電圧は0.3kV/mm以上、特に0.5kV/mm以上であることが望ましい。これは、耐電圧が0.3kV/mmより低いと、電圧付加加速テストや使用時において充分な信頼性が得られなくなる。

【0038】なお、この高誘電体層中には、上記の成分に加え、焼結性の改善、着色化、あるいは熱膨張係数の細かな制御のために、SiO₂、CaO、MgOなどのアルカリ土類金属酸化物、Y₂O₃などの周期律表第3a族元素酸化物の焼結助剤、Cr₂O₃、Fe₂O₃、CoO、NiO、MnO₂などの着色剤の他、B

ZrO_3 、 ZnO などの添加物を全量中10重量%以下、特に2~7.5重量%の割合で添加することも可能である。このうち、 SiO_2 、 CaO 、 MgO 等の成分は、高誘電体層において、 ZrO_2 粒子、 Al_2O_3 粒子、W、Moなどの金属粒子の粒界においてガラス相を形成する成分であり、電極層との密着性を高める作用もなす。このガラス相は、焼結助剤をかねて配合される Si 、アルカリ土類金属および希土類元素のうち少なくとも1種の元素の酸化物と、高誘電率付与剤として添加された ZrO_2 粒子の一部や Al_2O_3 粒子の一部との反応物として形成されるため、ガラス相中には ZrO_2 が微量溶け込んでいるので粒界の耐薬品性が向上する。

【0039】また、 ZrO_2 粒子は、高誘電率を付与する効果を安定化するために立方晶および/または正方晶 ZrO_2 、あるいはこれらに微量の单斜晶 ZrO_2 を含む結晶として存在することが必要であり、このような結晶で安定に存在させるために ZrO_2 粒子中には CaO 、 MgO 、 Y_2O_3 などの希土類酸化物等を ZrO_2 に対して2~20モル%の割合で固溶させることができ、特に Y_2O_3 を安定化材として用いた場合には、5~15モル%の割合で添加される。また、上記高誘電体層の ZrO_2 粒子の平均結晶粒径は1.5~20μm、 Al_2O_3 粒子の平均結晶粒径は3~20μm、WやMoは、平均粒径10μm以下の金属相として分散していることが望ましい。

【0040】なお、高誘電体層の厚みは、必要な静電容量と高誘電体層の比誘電率により適宜決定されるが、通常は一層あるいは多層構造で形成されるが、本発明によれば、電極50mm×50mm、高誘電体層厚み40μmで、10nF以上の静電容量が得られる。

【0041】また、高誘電体層は、後述する絶縁層との室温から400°Cにおける熱膨張差が 1.5×10^{-6} /°C以下、特に 1.0×10^{-6} /°C以下となるように、組成制御することが必要であるが、高誘電体層として前述した ZrO_2 - Al_2O_3 -W、Mo系材料を用いる場合、前記高誘電体層中に、W、Mo等の金属成分が適量含まれると高誘電体層自体の強度が高くなる傾向にある。そのため、高誘電体層中に金属成分を含まないか、あるいはその量が少ないと強度が低下するため、絶縁層との熱膨張係数差は 1×10^{-6} /°C以下に制御する必要があるが、高誘電体層中の金属成分量を10重量%以上とすれば、高誘電体層が高強度化されるため、熱膨張係数差が 1.5×10^{-6} /°Cまで十分に許容できる。

【0042】一方、高誘電体層として ZrO_2 - Al_2O_3 -W、Mo系材料を、絶縁層としてアルミナ質セラミックスを用いる場合、両者の熱膨張係数を近似するために、前述したアルミナ質セラミックスに対して、さらに ZrO_2 や、W、Moのうちの少なくとも1種をさらに含有せめることにより熱膨張係数を制御することができる。また、絶縁層中には、 Zr を ZrO_2 換算で

0.5~30重量%の割合で含有されることが望ましい。これは、絶縁層中に Zr 成分が全く含まれないと、前述の高誘電体層中の ZrO_2 成分が絶縁層に溶出して高誘電体層の組成が変化したり、高誘電体層自体の厚みが薄くなるなど、安定した誘電特性が得られず、また、 Zr が過度に多く含まれると、絶縁層の比誘電率が高くなるためである。従って、絶縁層として少なくとも配線層が内蔵される層では、比誘電率が14以下であることが必要であり、そのためには、 Zr 量は ZrO_2 換算で0.5~30重量%が望ましい。

【0043】また、絶縁層中には、上記 ZrO_2 に関連して、高誘電体層の ZrO_2 中に含まれる安定化剤と同様な安定化剤を含有させることができ、これは、高誘電体層中に含まれる安定化 ZrO_2 中の安定化剤が拡散して脱安定化するのを防止するためである。安定化剤となる化合物としては、 MgO 、 CaO 、 Y_2O_3 などの希土類元素酸化物が挙げられる。

【0044】その他の組み合わせとしては、例えば、比誘電率が14以下のAIN質セラミックスを絶縁層として、高誘電体層をAINに10~30重量%のTiNあるいは ZrN を含有せしめた比誘電率が20以上のセラミック材料を用いることができる。

【0045】また、他の組み合わせとしては、比誘電率が14以下のムライト質セラミックスを絶縁層として、高誘電体層をムライトに対して、W、Mo、 ZrO_2 等を添加し焼成した比誘電率20以上のセラミック材料を用いることができる。

【0046】さらに他の組み合わせとして、ガラスーセラミックス材料からなる絶縁層に対して、ガラスに部分安定化ジルコニアおよびWを添加し焼結した比誘電率が20以上のガラスーセラミック材料を用いることができる。

【0047】(電極層)一方、上記高誘電体層の上下面に形成される一対の電極層は、公知のメタライズ層から構成でき、例えばW、Mo、Mo-Mn、Re、TiN、Ag、Cu、Au、Pt、Ag-Pd、Pdなどが知られているが、高誘電体層および絶縁層の焼成条件でも溶融することなく焼結し得る材料を選択する。高誘電体層として前述したような ZrO_2 - Al_2O_3 -W、Mo系材料や、AIN系材料、ムライト系材料を用いる場合には、W、MoおよびReのうち少なくとも一種を主成分とするメタライズ層が用いられ、ガラスーセラミック材料を用いる場合には、Ag、Cu等が好適である。なお、W、Moなどの電極材料は、高誘電体層および絶縁層との同時焼成によって、高誘電体層および絶縁層中に拡散する場合がある。

【0048】この電極層は、およそ1~15μmの厚みで形成され、この一対の電極層は、半導体素子収納用パッケージにおいては、一方が電源層、他方が接地層として半導体素子と電気的に接続し、このコンデンサ部をデ

カップリングコンデンサとして使用してもよい。

【0049】なお、電極層中には、上記金属成分以外に高誘電体層や絶縁層中に含まれる成分を10重量%以下の割合で添加することにより高誘電体層や絶縁層との密着性を高めることができる。

【0050】また、電極層として、高誘電体層よりも低熱膨張の金属、例えばW、Moを用いると、電極層側に表面圧縮応力が発生するために基板全体としての強度を高めることができる。このような表面圧縮応力は、W、Moに代わり、Al₂O₃を用い、これを高誘電体層の最外層に配設することによっても同様な強度向上効果が得られる。

【0051】(配線層) また、絶縁層中に配設される配線層は、通常のメタライズ法により形成されるもので、W、Mo、Re、Ni、Co、Cu等から選ばれる少なくとも1種の金属により形成することができる。この配線層は、一般にはおよそ3~50μmの厚みで、絶縁層の層間あるいは表面に形成されるが、高出力が要求される場合には、その厚みは数mmに至る場合もある。

【0052】(製造方法) 本発明における多層配線基板および半導体素子収納用パッケージの製造方法について、絶縁層として前述のアルミナ質セラミックスを、高誘電体層としてZrO₂-Al₂O₃-W、Mo系材料を用いた場合を例にとって説明する。

【0053】まず、絶縁層形成成分として、例えば、Al₂O₃と、添加成分としてSiO₂、MgO、Y₂O₃等の希土類元素やアルカリ土類金属の酸化物、B、Znなどの酸化物等の焼結助剤、必要に応じて、ZrO₂粉末(場合により安定化材を含む)や、W、Mo、Crの金属粉末やそれらの酸化物、炭酸塩、硝酸塩、酢酸塩等を適量添加し、これにブチラール、アクリル等のバインダーや必要によりDBP等の可塑剤を添加し、さらにトルエン、アルコール等の溶剤を添加混合した後、ドクターブレード法、カレンダーロール法等の公知の成形方法により、厚さ0.1~1mmのシート状成形体を作製する。

【0054】このシート状成形体の表面には、配線層を形成するためのW、Mo、Mo-Mnなどの金属成分を含むメタライズペーストをスクリーン印刷法等により配線パターンに印刷され、場合によっては、スルーホールが形成され、そのスルーホール内にもメタライズペーストが充填される。

【0055】一方、高誘電体層として、ZrO₂粉末、Al₂O₃粉末、W、Moのうちの少なくとも1種の金属粉末あるいはそれらの酸化物、炭酸塩、硝酸塩、酢酸塩等を適量混合し、さらには、SiO₂、CaO、MgO等のアルカリ土類金属成分およびY₂O₃等の希土類酸化物、B、Znなどの酸化物から成る焼結助剤成分を添加し、必要によりさらにFe、Cr、Mn、Ti、Ni、Co等の金属、酸化物、塩等を含む着色剤を添加混

合する。このとき、電極材料としてWやMo等を用いた場合には、後述する同時焼成時に電極成分が拡散することがあるため、その拡散量を考慮して混合組成を決定することが必要である。

【0056】そして、この混合物に例えばブチラールもしくはアクリル等のバインダーや必要によりDBP等の可塑剤を添加し、さらにトルエン、アルコール等の溶剤を添加混合した後、ドクターブレード法、カレンダーロール法等の公知の方法により、厚さ10~120μmにシート化し、高誘電体層用のシート状成形体を作製する。

【0057】高誘電体層に高誘電率付与剤として添加されるZrO₂粉末は、予め5~15モル%のY₂O₃などの固溶により安定化された立方晶を含むZrO₂粉末を含むものを用いることが望ましい。安定化剤の含有量を5~15モル%とするのは、5モル%よりも少ないと正方晶から单斜晶への相変態が生じやすくクラックが生じる等の不具合が生じるからであり、15モル%よりも多いとZrO₂そのものの比誘電率が低下し、誘電体層の高誘電率化の効果が低下するからである。

【0058】なお、安定化または部分安定化ZrO₂を原料粉末として用いなくても、調合によりZrO₂を安定化するに必要な安定化元素の酸化物およびその化合物を添加し焼成段階で安定化させても良い。

【0059】そして、上記のようにして作製された高誘電体層シート状成形体の上下面には、電極層としてW、MoまたはReを70~100重量%、必要に応じてAl₂O₃、SiO₂、Zr、Tiなどの周期律表第4a族化合物、アルカリ土類金属、希土類金属およびその化合物、Nb、Taなどの周期律表第5a族化合物等を0~30重量%添加含有して成る電極層形成用ペーストを塗布する。

【0060】そして、電極層形成用ペーストが塗布された高誘電体層シート状成形体を、絶縁層用シート状成形体とともに積層し、所定の圧力で加圧圧着する。

【0061】なお、薄い高誘電体層を形成する場合には、絶縁層用シート状成形体の表面に電極層形成用ペースト塗布、高誘電体層形成用のスラリー塗布、電極層形成用ペースト塗布を順次行うことにより、作製することもできる。この場合も、高誘電体層中に、添加される焼結助剤成分は2重量%以上であることが望ましい。

【0062】上記のようにして作製された積層体を加湿した窒素、水素混合ガスなどの還元性雰囲気中で、1700°C以下の温度において、1~2時間焼成することにより、高誘電体層と、一対の電極層からなるコンデンサ部が積層形成された多層配線基板が形成される。なお、焼成温度は絶縁層と配線層とコンデンサ部とを同時焼成するための条件として設定され、1400°Cよりも低くなると高融点金属からなる配線層や電極層との同時焼成が困難となる。1400°C以下で焼成する場合には、配

線層としてNiやCu、もしくはそれらと高融点金属粉末の混合物のメタライズを用いることが好ましい。

【0063】尚、コンデンサ部は、高誘電体層と電極層とを交互に積層して構成してもよく、そのような積層構造によれば高い静電容量を得ることができる。

【0064】また、半導体素子収納用パッケージを製造する場合には、上記多層配線基板の製造方法に加え、周知の方法に基づき、図2における半導体素子を収納するための凹部18を形成すべく絶縁層を積層圧着した後、同時に焼成して配線基板を作製し、その後、別途作製された蓋体を配線基板の凹部を密閉するように、Au-Snろう、ハンド、低融点ガラス、溶接(シームウェルド)などにより絶縁基板に密着することにより得ることができる。

【0065】次に、本発明の効果を確認すべく以下の実験を行った。

実験例1

原料として、8モル%のY₂O₃により安定化された平均粒径0.8μmのZrO₂粉末と、平均粒径が3μmのAl₂O₃粉末と、SiO₂:CaO:MgO:Cr₂O₃が4:1:1:1の重量比からなる焼結助剤と、WあるいはMoの酸化物粉末を用いて、種々の組成の混合物にブチラールからなるバインダーを添加し、さらにトルエンとアルコールを添加混合した後、ドクターブレード法により厚さ50μmの高誘電体層用シート状成形体を作製した。

【0066】また、上記の原料を用いて、種々の組成からなる混合物を調製し、この混合物にブチラールからなるバインダーと、可塑剤(ジブチルフタレート)等を添加し、さらにトルエンとアルコールを添加混合した後、ドクターブレード法により厚さ500μmの絶縁層用シート状成形体を作製した。

【0067】そして、この高誘電体層用シート状成形体および絶縁層用シート状成形体に100μm径のスルーホールを形成し、そのスルーホール内にWペーストを充填した。また、高誘電体層用シート状成形体の上下面には、金属WにAl₂O₃を2重量%添加したWペーストをスクリーン法により電極層パターンに印刷した。

【0068】そして、この電極層が形成された高誘電体層用シート状成形体の上下に絶縁層用シート状成形体を2枚づつ積層圧着した後、加湿した(露点20℃)窒素と水素の混合ガス(N₂/H₂=80/20)中で1550℃において2時間普通焼成して50mm×50mmの高誘電体層40μm、電極層5μm、絶縁層1.6mmのコンデンサ内蔵多層配線基板を作製した。

【0069】得られた種々の多層配線基板に対して、高誘電体層および絶縁層の組成をX線マイクロアナライザ(XMA)を用いた検量線法により定量し、その組成を表1および表2に示した。なお、A1はAl₂O₃、ZrはZrO₂として存在していることを確認したた

め、いずれも酸化物形態での組成を示した。

【0070】(比誘電率、静電容量の測定) 次に、前述した原料を用いて、定量分析により確認された組成と同一組成の混合物を調合し、その混合物にブチラールからなるバインダーと、可塑剤(ジブチルフタレート)等を添加し、さらにトルエンとアルコールを添加混合した後、ドクターブレード法により厚さ50μmのシート状成形体を作成し、これを加湿した(露点20℃)窒素と水素の混合ガス(N₂/H₂=80/20)中で1550℃において2時間普通焼成した。得られた焼結体に対して、Agペーストを50mm×50mmのパターンで印刷した後、500℃で焼き付け処理してコンデンサを作製した。

【0071】得られたコンデンサに対して、LCRメータ(YHP4284A)を用いて行い、100KHz、1.0Vrmsの条件で25℃における静電容量(C)を測定するとともに、C=ε₀·ε·S/d(ε₀:真空中の誘電率、ε:比誘電率、S:電極面積(m²)、d:誘電体層の厚み(m))の式に基づき、静電容量から25℃における比誘電率を計算した。

【0072】測定の結果について、絶縁層についてはの比誘電率を、高誘電体層については、比誘電率と静電容量を表1、2に示した。

【0073】(耐電圧の測定) また、高誘電体層の組成からなるコンデンサの電極間に徐々に電圧を印加し、絶縁破壊を生じた時の電圧値を耐電圧として、表1、2に示した。

【0074】(熱膨張係数の測定) 前述した原料を用いて、定量分析により確認された組成と同一組成の混合物を調合し、その混合物にブチラールからなるバインダーと、可塑剤(ジブチルフタレート)等を添加し、さらにトルエンとアルコールを添加混合した後、ドクターブレード法により厚さ50μmのシート状成形体を作成し、これを加湿した(露点20℃)窒素と水素の混合ガス(N₂/H₂=80/20)中で1550℃において2時間普通焼成した。得られた焼結体から長さ15×厚み3×幅3(mm)の試験片を切り出し、これを室温(25℃)から昇温速度10℃/minの速度で400℃まで加熱し、その時の長さ方向の磁器の伸びを測定し、その熱膨張曲線から平均熱膨張係数を算出した。結果は、表1、2に示した。

【0075】(クラック発生の検査) 表1および表2の各多層配線基板についてそれぞれ50個の基板を作製し、基板中のコンデンサ部の剥がれ(コンデンサ部と絶縁層間の隙間発生)の有無や基板の割れ(クラック)の発生の有無を観察し不具合の生じた個数を表1、2に示した。

【0076】

【表1】

試料 No.	絶縁層					高誘電体層								熱膨張係数差 B-A $\times 10^{-6}/^{\circ}\text{C}$	高誘電体層 剥がれ クラック 発生数		
	組成 (重量%)				比誘電率	熱膨張 係数 A $\times 10^{-6}/^{\circ}\text{C}$	組成 (重量%)				静電容 量 (nF)	比誘電率	耐電圧 (kV)	熱膨張 係数 B $\times 10^{-6}/^{\circ}\text{C}$			
	Al ₂ O ₃	助剤	8Y-ZrO ₂	W, Mo			8Y-ZrO ₂	Al ₂ O ₃	W, Mo	助剤							
1	91	5.5	2.3	1.2	9.8	6.9	40	47	10	3	11	20	0.8	7.5	0.6	0/50	
2	91	5.5	2.3	1.2	9.8	6.9	40	42	15	3	14	25	0.7	7.6	0.7	0/50	
3	91	5.5	2.3	1.2	9.8	6.9	45	33	18	4	17	30	0.6	7.9	1.0	0/50	
4	91	5.5	2.3	1.2	9.8	6.9	53	10	35	2	19	35	0.5	8.4	1.5	1/50	
* 5	91	5.5	2.3	1.2	9.8	6.9	60	16	19	5	22	40	0.4	8.5	1.6	10/50	
6	91	5.5	2.3	1.2	9.8	6.9	44	40	13	3	14	25	0.6	7.8	0.9	0/50	
7	91	5.5	2.3	1.2	9.8	6.9	39	39	20	2	18	32	0.3	7.7	0.8	0/50	
* 8	91	5.5	2.3	1.2	9.8	6.9	84	11	1	4	11	20	0.8	8.6	1.7	50/50	
* 9	91	5.5	2.3	1.2	9.8	6.9	—	75	22	3	9.9	18	0.2	6.7	-0.2	0/50	
* 10	91	5.5	2.3	1.2	9.8	6.9	—	55	42	3	9.9	18	0.2	6.7	-0.2	0/50	
11	92	5.5	1.0	1.5	9.9	7.0	45	33	18	4	17	30	0.6	7.9	0.9	0/50	
12	92	5.5	1.0	1.5	9.9	7.0	60	17	18	5	22	40	0.4	8.5	1.5	1/50	
* 13	92	5.5	1.0	1.5	9.9	7.0	82	12	2	4	11	20	0.8	8.6	1.6	49/50	
* 14	92	5.5	1.0	1.5	9.9	7.0	—	54	43	3	9.9	18	0.2	6.7	-0.3	0/50	

*印は本発明の範囲外の試料を示す。

20

【0077】

【表2】

試料 No.	絶縁層					高誘電体層								熱膨張係数差 B-A $\times 10^{-6}/^{\circ}\text{C}$	高誘電体層 クラック 発生数		
	組成 (重量%)				比誘電率	熱膨張 係数 A $\times 10^{-6}/^{\circ}\text{C}$	組成 (重量%)				静電容 量 (nF)	比誘電率	耐電圧 (kV)	熱膨張 係数 B $\times 10^{-6}/^{\circ}\text{C}$			
	Al ₂ O ₃	助剤	8Y-ZrO ₂	W, Mo			8Y-ZrO ₂	Al ₂ O ₃	W, Mo	助剤							
15	78	7.5	1.0	13.5	13.0	6.7	45	33	18	4	17	30	0.6	7.9	1.2	1/50	
* 16	78	7.5	1.0	13.5	13.0	6.7	60	16	19	5	22	40	0.4	8.5	1.8	6/50	
* 17	78	7.5	1.0	13.5	13.0	6.7	83	12	1	4	11	20	0.8	8.6	1.9	50/50	
* 18	78	7.5	1.0	13.5	13.0	6.7	—	75	22	3	9.9	18	0.2	6.7	0	0/50	
19	65	4.0	30.0	1.0	13.0	7.5	45	33	18	4	17	30	0.6	7.9	0.4	0/50	
20	65	4.0	30.0	1.0	13.0	7.5	60	16	19	5	22	40	0.4	8.5	1.0	0/50	
21	65	4.0	30.0	1.0	13.0	7.5	83	10	3	4	11	20	0.8	8.6	1.1	1/50	
* 22	65	4.0	30.0	1.0	13.0	7.5	—	74	23	3	9.9	18	0.2	6.7	-0.7	0/50	

*印は本発明の範囲外の試料を示す。

【0078】表1において、ZrO₂を含まない試料N o. 9、10等における高誘電体層では、比誘電率は18が限度でありその際の耐電圧は0.2kVであった。また、金属成分の含有量が微量の試料No. 8における高誘電体層では比誘電率は20であったが、熱膨張係数が $8.6 \times 10^{-6}/^{\circ}\text{C}$ と大きくなり、絶縁層との熱膨張差が大きくなつた。ZrO₂とAl₂O₃と金属成分を適量配合することにより20以上の高誘電率を有しつつ、室温から400°Cまでの熱膨張係数が7.5~8.5×10⁻⁶/°Cの材料を作製することができた。

【0079】また、絶縁層について、Al₂O₃を主成分として、WまたはMoを15重量%以上、もしくはZrO₂を49重量%以上含むものを作製したが、比誘電率が14を越え、絶縁層としては適なものであつ

た。

【0080】表1、2において、試料No. 1~10、11~14、15~18、19~22の各群は、それぞれ同じ組成の絶縁層成形体を用いて作製したものであるが、各群間での組成および特性の変動はほとんどなかつた。これら4種類の絶縁層は、その表面あるいは内部に配線層を形成してもとりわけ問題にはならないが、絶縁層と積層するコンデンサ部の高誘電体層との熱膨張係数の差が $1.5 \times 10^{-6}/^{\circ}\text{C}$ を越えると高誘電体層にクラックや剥がれが生じた。

【0081】なお、表1、2中、熱膨張係数差が1.1~1.2×10⁻⁶/°Cであり、高誘電体層中の金属の含有量が少ない場合（試料No. 21）と、高誘電体層中に金属を適量含む場合（試料No. 15）とでは、試料No.

21の方がクラックや剥がれの発生率が増加する傾向にあった。これは、金属を適量含まないと高誘電体層の強度が低下するためと考えられる。

【0082】本発明によれば、表1、2の結果から明らかなように、絶縁層と高誘電体層の個々の特性としては良好であっても、それらの熱膨張係数差が $1.5 \times 10^{-6} / ^\circ\text{C}$ 以下になるように選択し組み合わせることが重要であることが理解される。しかし、熱膨張係数差が $1.5 \times 10^{-6} / ^\circ\text{C}$ 以下であっても、試料No.9、10、14、18、22は、高誘電体層の比誘電率が低く本発明の目的には適さないものであった。

【0083】特に、高誘電体層として、 ZrO_2 と金属成分と Al_2O_3 を適量含有する高誘電体層を用いれば、高誘電率と優れた耐電圧を有する高誘電体層となるため、多層配線基板あるいはパッケージとしての信頼性がさらに高まることがわかった。

【0084】実験例2

AlN 粉末、 TiN 粉末、 Er_2O_3 粉末を調合し、これにバインダーと可塑剤を添加しドクターブレード法によりそれぞれグリーンシートを作製し、高誘電体層用グリーンシートの表面には、電極用のWペーストを塗布し、また配線用としてWペーストを塗布し、図1に示すように積層した後、これを窒素雰囲気中で 1850°C で2時間焼成してコンデンサ部を内蔵した多層配線基板を作製した（試料No.23）。得られた基板における絶縁層および高誘電体層のICP発光分光分析による組成分析結果を表3に示した。

【0085】次に、実施例1と同様に、上記と同じ原料を用いて前記組成分析結果に基づく同一組成の絶縁層および高誘電体層の焼結体を上記と同様な方法で作製し、個々に熱膨張係数、比誘電率、高誘電体層の耐電圧の測定を行った。また、多層配線基板については、コンデンサ部の剥がれの有無や基板の割れ（クラック）の発生の有無を観察しその結果を表3に示した。

【0086】実験例3

ムライト粉末、ジルコニア粉末（8モル% Y_2O_3 含有）、助剤（ $\text{CaO} : \text{MgO} = 1 : 1$ ）、 Mo 粉末、 Al_2O_3 粉末を調合し、これにバインダーと可塑剤を添加しドクターブレード法によりそれぞれグリーンシートを作製し、高誘電体層用グリーンシートの表面には、電極用のWペーストを塗布し、また配線用としてWペーストを塗布し、図1に示すように積層した後、これを窒素雰囲気中で 1850°C で2時間焼成してコンデンサ部を内蔵した多層配線基板を作製した（試料No.24）。得られた基板における絶縁層および高誘電体層のICP発光分光分析による組成分析結果を表3に示した。

【0087】そして、実施例1と同様に、上記と同じ原料を用いて前記組成分析結果に基づく同一組成の絶縁層および高誘電体層の焼結体を上記と同様な方法で作製し、個々に熱膨張係数、比誘電率、高誘電体層の耐電圧を測定するとともに、多層配線基板についてはコンデンサ部の剥がれの有無や基板の割れ（クラック）の発生の有無を観察しその結果を表3に示した。

【0088】実験例4

【0089】そして、実施例1と同様に、上記と同じ原料を用いて前記組成分析結果に基づく同一組成の絶縁層および高誘電体層の焼結体を上記と同様な方法で作製し、個々に熱膨張係数、比誘電率、高誘電体層の耐電圧を測定するとともに、多層配線基板についてはコンデンサ部の剥がれの有無や基板の割れ（クラック）の発生の有無を観察しその結果を表3に示した。

【0090】

【表3】

試料No.	絶縁層			高誘電体層					焼成温度 °C	熱膨張 係数差 B-A ×10 ⁻⁶ / °C	高 誘電 体層 剥 が れ ク ラ ッ ク 発 生 数
	組成 (重量%) (成分の後ろの 数字は重量%)	比 誘電率	熱膨張 係数 A ×10 ⁻⁶ / °C	組成 (成分の後ろの数字は重量%)	静電容 量 (nF)	比誘 電率	耐電圧 (kV)	熱膨張 係数 B ×10 ⁻⁶ / °C			
23	$\text{AlN}90-\text{Er}_2\text{O}_310$	8.7	4.4	$\text{AlN}67-\text{Br}_0_8-\text{TIN}25$	12	21	0.3	4.9	1850	0.5	0/50
24	474198-助剤 1-W1	6.5	4.3	474137.6-8YSZ37.6-助剤0.8-W, Mo24	12	22	0.3	5.6	1450	1.3	0/50
25	474140-8YSZ57-助剤 1-W2	13	6.2	8YSZ40-Al ₂ O ₃ 42-W, Mo15-助剤3	14	25	0.7	7.6	1400	1.4	1/50
26	Al ₂ O ₃ 92-助剤 6-TiO ₂ 1-W1	10	6.0	Al ₂ O ₃ 75-助剤4-W, Mo20-TiO ₂ 1	13.5	23	0.3	5.9	1550	0.1	0/50

【0091】表3によれば、いずれの場合においても絶縁層および高誘電体層の熱膨張係数の差が $1.5 \times 10^{-6} / ^\circ\text{C}$ 以下に制御されたために、同一焼成においても、

高誘電体層の剥がれや基板の割れの発生なく信頼性の高い配線基板を作製することができた。

【0092】

【発明の効果】以上詳述した通り、本発明の多層配線基板やパッケージは、比誘電率20以上のコンデンサ部を有し、絶縁層と高誘電体層との熱膨張係数の差を $1.5 \times 10^{-6} / ^\circ\text{C}$ 以下に制御することにより、搭載される半導体素子の誤動作を確実に防止することができるとともに、コンデンサ部の剥がれや基板の割れを防止でき、製造歩留りを向上させることができる。しかも、高誘電体層の耐電圧が高いために信頼性を高い基板およびパッケージを提供することができる。

【図面の簡単な説明】

【図1】本発明の多層配線基板の一実施例を示す縦断面図である。

【図2】本発明の半導体素子収納用パッケージの一実施例を示す縦断面図である。

【図3】本発明の多層配線基板の他の実施例を示す縦断面図である。

【図4】本発明の半導体素子収納用パッケージの他の例を示す縦断面図である。

【図5】本発明の半導体素子収納用パッケージのさらに他の実施例例を示す縦断面図である。

【図6】本発明の半導体素子収納用パッケージのさらに他の実施例を示す縦断面図である。

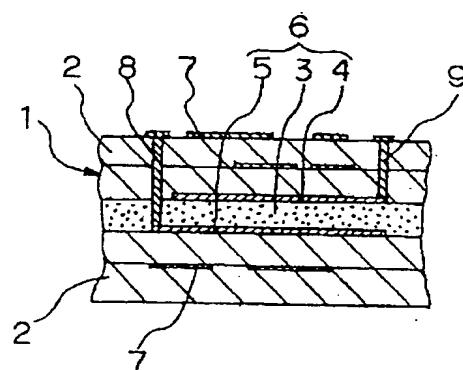
【図7】本発明の半導体素子収納用パッケージのさらに他の実施例を示す縦断面図である。

【図8】本発明の半導体素子収納用パッケージのさらに他の実施例を示す縦断面図である。

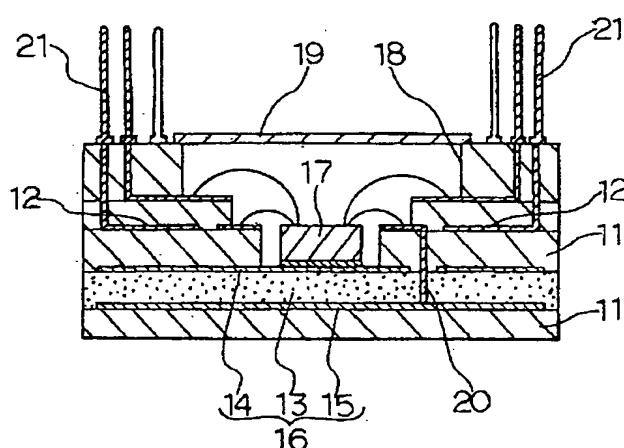
【符号の説明】

- | | |
|--------------|---------------|
| 1 | 多層配線基板 |
| 2, 11 | 絶縁層 |
| 3, 13 | 高誘電体層 |
| 4, 5, 14, 15 | 電極層 |
| 6, 16 | コンデンサ部 |
| 7, 12 | 配線層 |
| 8, 9, 20, 22 | スルーホール |
| 10 | 半導体素子収納用パッケージ |
| 17 | 半導体素子 |
| 18 | 凹部(収納部) |
| 19 | 蓋体 |
| 21 | 外部端子 |
| 23 | ヒートシンク |

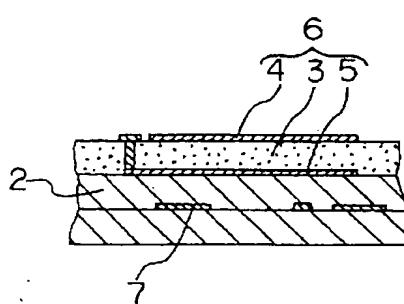
【図1】



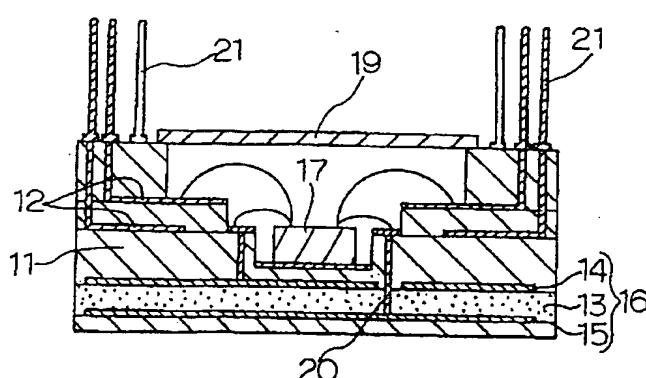
【図2】



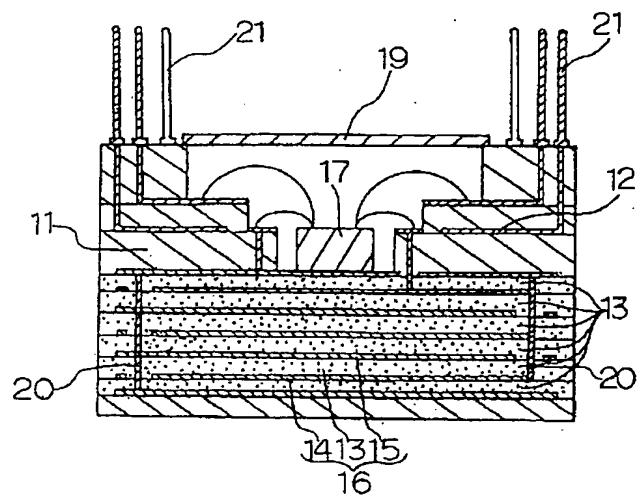
【図3】



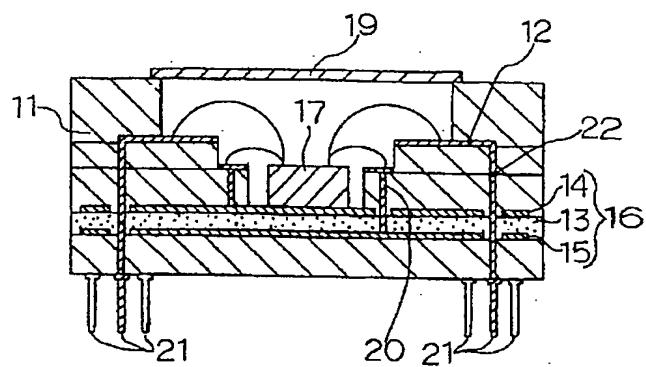
【図5】



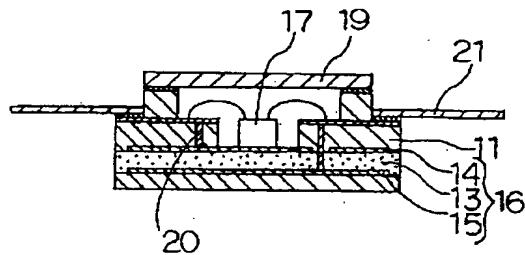
【図4】



【図6】



【図8】



【図7】

